

【特許請求の範囲】

【請求項1】 半導体基板上に深さの異なる第1および第2のコンタクトホールを形成するコンタクトホール形成工程と、

前記第1および第2のコンタクトホール内に露呈する下地層に対して選択性のある条件を用いて、深さの差に相当する分だけ深いほうのコンタクトホールに選択的に第1の導体層を埋め込む第1の埋め込み工程と、

前記第1および第2のコンタクトホールに第2の導体層を埋め込む第2の埋め込み工程とを含むことを特徴とする半導体装置の製造方法。

【請求項2】 半導体基板上に深さの異なる第1および第2のコンタクトホールを形成するコンタクトホール形成工程と、

前記第1および第2のコンタクトホール内に露呈する下地層表面に深い方のコンタクトホールよりも浅い方のコンタクトホールが厚くなるように酸化物を形成する酸化工程と、

深い方のコンタクトホール下の下地層が露呈するように表面を軽くエッチングし、該下地層を選択的に露呈せしめるエッチング工程と前記コンタクトホールの深さの差に相当する分だけ前記下地層上に選択的に第1の導体層を埋め込む第1の埋め込み工程と、

前記第1および第2のコンタクトホールに第2の導体層を埋め込む第2の埋め込み工程とを含むことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体装置およびその製造方法に係り、特に、コンタクトホールの埋め込みおよび選択成長に関する。

【0002】

【従来の技術】 近年、半導体装置の高集積化に伴い、回路の微細化は進む一方であり、例えばゲート電極や、ソース・ドレイン拡散層と金属配線との接続を行うための接続部の面積は非常に小さくなっている。

【0003】 この結果、コンタクトホールのアスペクト比が大きくなるため、配線膜のステップカバレージが悪くなり、段差の部分で薄くなることにより抵抗が増大するという問題が生じてくる。

【0004】 これを解決する方法として、コンタクトホール内にタングステンなどをCVD法で選択的に埋め込み、この後にアルミニウムなどの配線膜を形成するという方法が提案されている。このような方法をとることによって、配線膜のステップカバレージが良くなり、抵抗が減少するため半導体の性能向上には非常に有利である。

【0005】 しかしながら、深さが異なるコンタクトホール内にタングステンなどを選択的に埋め込む場合、浅いコンタクトホールの場合はタングステンなどがあふ

れ、一方深いコンタクトホールでは完全に埋まらないという構造になる。

【0006】 例えば、図4(a)に示すようにシリコン基板1表面を覆う層間絶縁膜22に形成されたコンタクトホールH1、H2を埋め込む場合、基板1表面に形成された拡散層11にコンタクトする深いコンタクトホールH1に合わせてタングステン層6の埋め込みを行うと、素子分離膜2上の多結晶シリコン膜3とモリブデンシリサイド膜4とからなるワード線等の配線にコンタクトする浅いコンタクトホールH2ではタングステン層がコンタクトホール外へあふれた形状となる。このため、エッチバックなどの平坦化工程が必要となる。

【0007】 また、図4(b)に示すように、素子分離膜2上の多結晶シリコン膜3とモリブデンシリサイド膜4とからなるワード線等の配線にコンタクトする浅いコンタクトホールH2に合わせてタングステン層6の埋め込みを行うと、基板1表面に形成された拡散層11にコンタクトする深いコンタクトホールH1では、完全に埋まらないためこの上層に形成される配線層のステップカバレージが悪くなり、配線抵抗が増大したり、エレクトロマイグレーションが起こり易くなるという問題がある。

【0008】

【発明が解決しようとする課題】 このように深さの異なるコンタクトホールを埋め込む場合、いずれに合わせても一方の側で不都合が生じ、配線抵抗を増大したり、エレクトロマイグレーションが起こり易くなる等の問題があった。

【0009】 また、複数の導体領域が露呈している場合、ある領域にのみ選択的に薄膜成長を行おうとすると、非成長領域にマスクを形成しなければならないため、パターンニング工程が必要となり、工程数が増える他、微細化に際しても極めて深刻な問題となっている。

【0010】 本発明は、前記実情に鑑みてなされたもので、微細化に際してもコンタクト抵抗が十分に小さく信頼性の高い半導体装置を容易に提供することを目的とする。

【0011】

【課題を解決するための手段】 そこで本発明の第1では、半導体基板上に深さの異なる複数のコンタクトホールを形成し、コンタクトホール内に露呈する下地層に対して選択性のある条件を用いて、深さの差に相当する分だけ深いほうのコンタクトホールに選択的に第1の導体層を埋め込み、その後同一工程で第2の導体層を各コンタクトホールに埋め込むようにしている。

【0012】 また本発明の第2では、深さの異なるコンタクトホール内に露呈する下地層表面に深いほうのコンタクトホールよりも浅い方のコンタクトホールが厚くなるように表面に酸化物を形成し、深い方のコンタクトホール下の下地層が露呈するように表面を軽くエッチングし、該下地層を選択的に露呈せしめるようにしている。

【0013】

【作用】本発明の第1によれば、コンタクトホール内に露呈する下地層に対して選択性のある条件を用いて、深さの差に相当する分だけ深いほうのコンタクトホールに選択的に第1の導体層を埋め込み、深さをほぼ等しくした後、残りを同一工程で埋め込むようにしているため、深さの異なるコンタクトホールに対しても平坦な埋め込みを行うことができ、酸蝕抵抗が小さく信頼性の高い半導体装置を得ることができる。

【0014】例えば、過酸化水素水と硫酸の混合液に浸漬すると、シリコンリッチなモリブデンシリサイドやタングステンシリサイド中の余剰シリコン原子はシリコン基板中のシリコン原子と比較して結合が弱いため容易に酸化され、金属シリサイド膜上の酸化膜を、シリコン基板上の酸化膜よりも厚く形成することができるということを発見し、これに着目してなされたものである。

【0015】すなわち、シリコン領域および金属硅化物領域が混在して露呈する半導体基板を、過酸化水素水と硫酸の混合液に浸漬して、金属硅化物領域に選択的に厚い酸化膜を形成したのち、シリコン領域のみを露呈するように表面を軽くエッチングし、マスクを用いたパターニング工程を経ることなく容易に表面状態に差異を形成することができる。したがって、選択CVD法によりシリコン領域上のみ選択性よく容易に導体層を形成することができる。

【0016】なおこの方法を第1の発明に適用すれば、容易に深さの異なるコンタクトホールの埋め込みを行うことが可能となる。

【0017】また、第1の導体層の埋め込みにより複数のコンタクトホールの深さをほぼ等しくすると述べたが、深さの差は小さければ問題なく、特に±0.2μm以下であると好ましい。

【0018】

【実施例】以下、本発明の実施例について図面を参照しつつ詳細に説明する。

【0019】図1(a)乃至(e)は本発明実施例の半導体装置の製造工程を示す断面図である。まず、n型シリコン基板1にフィールド酸化膜2を形成したのち、分離された領域内に、多結晶シリコン膜3とモリブデンシリサイド膜4とからなるポリサイド構造の酸蝕線をはじめ、p型拡散層11を形成するなど素子領域を形成した後、この上層に層間絶縁膜22として酸化シリコン膜を形成する。そしてフォトリソグラフィによりこの層間絶縁膜22に、p型拡散層11にコンタクトする深いコンタクトホールH1と、酸蝕線にコンタクトする浅いコンタクトホールH2とを形成し、これを過酸化水素水と硫酸とを1:3の割合で混合した処理液中に20分浸漬する。このときp型拡散層11表面よりもモリブデンシリサイド膜4表面にそれぞれ酸化膜sが形成される。ここで、モリブデンシリサイド膜4表面の酸化膜sはp型拡散層11

1表面の酸化膜sよりも厚く形成される。これはモリブデンシリサイド中の余剰シリコン原子はシリコン基板中のシリコン原子と比較して結合が弱いいため容易に酸化されるためである。ここで深いコンタクトホールH1は0.8μm径で深さ1.5μm、浅いコンタクトホールH2は0.8μm径で深さ0.8μmであった(図1(a))。

【0020】この後、フッ素F2を用いた反応性イオンエッチング(RIE)(0.05 Torr, 50 W)により、室温下で15秒間エッチングを行い、さらにランプヒータを用いて350℃に昇温し、一酸化炭素を0.05 Torrで600秒導入して、ウェハに吸着したフッ素を除去する。この工程により深いコンタクトホール内の酸化シリコン膜sのみを完全に除去し、p型拡散層11表面を露呈させる。このとき浅いコンタクトホールH2は酸化シリコン膜sで覆われている(図1(b))。次に、サセプタヒータを用いてウェハを600~800℃に昇温し、SiH4を20 sccm、TiCl4を1 sccmの条件で400秒間導入し、拡散層11上のコンタクトホールにのみ選択的に膜厚0.7μmのTiSi2膜5を形成する(図1(c))。このとき、TiCl4に代えて、Ti板上に100~500μm径の穴を設けたTiメッシュあるいはTiを縦糸状にしたものを700~900℃にヒータで加熱しながらHClガスを1~5 sccm流し、TiCl、TiCl2、TiCl3などの不飽和分子ガスを導入する方法も有効であり、より高選択性を持ち塩素濃度の低いTiSi2膜を形成することが可能となる。

【0021】さらに、塩化硼素BCl3を用いた反応性イオンエッチング(RIE)(0.05 Torr, 50 W)により、室温下で100秒間エッチングを行い、モリブデンシリサイド膜4表面の酸化シリコン膜sをエッチング除去し、この後サセプタヒータを用いて250℃に昇温し、WF6を10 sccm、SiH4を7 sccmの条件で導入し、選択CVD法により、拡散層11上のTiSi2膜5上およびモリブデンシリサイド4上に、0.8μm程度W膜6を増積し、この後ランプアニールを行いW膜6の密着性を向上させる(図1(d))。そしてアルミニウム酸蝕線を形成する(図示せず)。

【0022】このようにして形成された半導体装置は、図1(e)に示すようにコンタクトホールが完全に埋め込まれているため、酸蝕線のステップカバレージは極めて良好であり、酸蝕抵抗が増大したりすることもなく信頼性の高い物となる。

【0023】また、TiSi2膜の膜厚とコンタクト抵抗との関係を測定するため、各コンタクトホールの深さ等、他の条件は前記実施例と全く同様にして、TiSi2膜の膜厚のみを変化させたときのコンタクト抵抗の変化を図2に示す。ここで横軸はTiSi2膜の膜厚、縦軸はコンタクト抵抗を示すものとする。白丸はp型拡散層に対するコンタクトの場合、黒丸はn型拡散層に対す

るコンタクトの場合を示すものである。

【0024】この結果、TiSi₂膜の膜厚が0.5 μ m以下すなわち、W膜6表面と層間絶縁膜22表面との段差が \pm 0.2 μ m以下のときは、図3(a)に示すように、コンタクト抵抗の上昇が著しい。これは、コンタクトホール内でのアルミニウム酸化物7のステップカバレッジが悪くなっているためであると考えられる。

【0025】また、TiSi₂膜の膜厚が0.9 μ m以上すなわち、W膜表面と基板表面との段差が0.2 μ m以上のときは、図3(b)に示すように、コンタクトホールからあふれたW膜6の周辺でアルミニウム酸化物7のステップカバレッジが悪くなっているためであると考えられる。

【0026】この結果から、段差が \pm 0.2 μ m以下であるときはコンタクト抵抗の低い半導体装置を得ることができることがわかる。従って3種以上の異なる深さを有するコンタクトホールの場合、深いコンタクトホールに埋め込まれたTiSi₂膜の上面と、TiSi₂膜の埋め込まれていない浅いコンタクトホール底面との深さの差が0.2 μ m以下であるときは酸化物抵抗の増大を抑制することができる。

【0027】このように本発明の方法を用いることによって、Wの埋め込み形状が平坦となり、エッチバック等による平坦化工程が不要となるため、工程の簡略化をはかることができる。

【0028】なお、本発明は前述した実施例に限定されるものではない。

【0029】前記実施例では、金属硅化物としてチタンシリサイドを用いたが、他のシリサイド、例えばニッケルシリサイド、コバルトシリサイド等を用いても良い。ニッケルシリサイドはニッケルカルボニルを0.05 cm^3 SiH₄を10 cm^3 の条件で400℃、1800秒間導入することにより、0.7 μ m形成することができる。またコバルトはコバルトカルボニルを昇華させて0.01 cm^3 SiH₄を10 cm^3 の条件で400℃、1800秒間導入することにより、0.7 μ m形成することができる。

【0030】また、前記実施例では、シリコン表面と金属硅化物表面との間での選択成長を用いたが、これに限定されることなく例えば多結晶シリコン膜と単結晶シリコン膜との間での酸化速度の差から、酸化膜の堆積速度

が変化するようにし、これらの間での選択成長性を利用するようにしたり、また金属膜とシリコン表面との選択性等、適宜変形可能である。

【0031】さらに、前記実施例では、第1の導体層の形成に際し選択性を有するようにコンタクトホール内に露呈する表面の表面状態を変化させる方法であれば他の方法を用いても良い。

【0032】例えば、上記実施例において、厚さの異なる酸化膜sを形成する方法として次の方法を用いても良い。すなわち、圧力0.5 mm 以下の酸素雰囲気中で200乃至300℃の温度で例えば15分の短時間熱処理を施してシリサイド表面にシリコン表面よりも厚く酸化膜を形成する方法を用いても良い。

【0033】その他、本発明の要旨を逸脱しない範囲で種々変形して実施することができる。

【0034】。以上説明してきたように、本発明によれば、コンタクトホール内に露呈する下地層に対して選択性のある条件を用いて、深さの差に相当する分だけ、深い方のコンタクトホールに選択的に第1の導体層を埋め込み、残りを同一工程で埋め込むようにしているため、深さの異なるコンタクトホールに対しても平坦な埋め込みを行うことができ、酸化物抵抗が小さく信頼性の高い半導体装置を得ることができる。

【図面の簡単な説明】

【図1】本発明実施例の半導体装置の製造工程図。

【図2】チタンシリサイドの膜厚とコンタクト抵抗との関係を示す図。

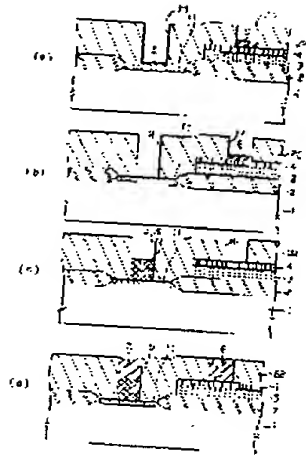
【図3】チタンシリサイドの膜厚が小さすぎた場合と、大きすぎた場合の状態を示す図。

【図4】従来例のコンタクト構造を示す図。

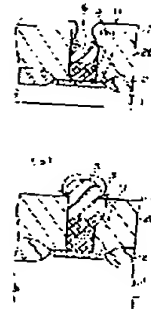
【符号の説明】

- 1 シリコン基板
- 2 フィールド絶縁膜
- 3 多結晶シリコン層
- 4 モリブデンシリサイド層
- 5 チタンシリサイド層
- 6 タングステン層
- 7 アルミニウム層
- 22 層間絶縁膜

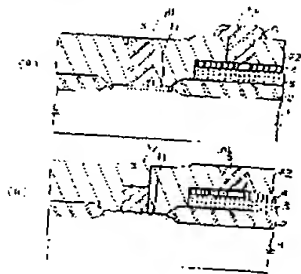
【図1】



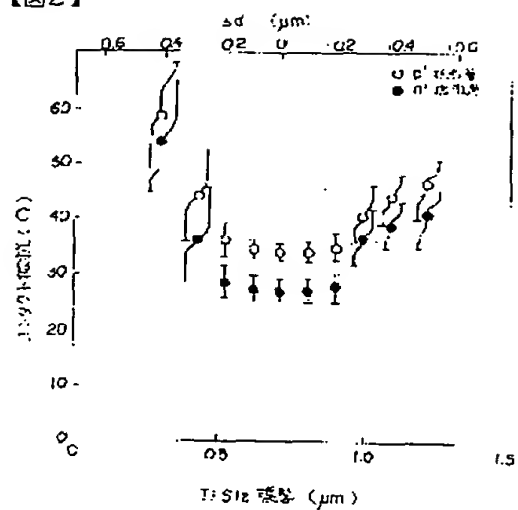
【図3】



【図4】



【図2】



$$\Delta d: \text{SiO}_2 \text{ 膜厚} - \text{SiO}_2 \text{ 膜厚} = \text{SiO}_2 \text{ 膜厚}$$